# Evaluación del Trabajo de Laboratorio Número 2

Arquitectura de Computadoras 28/05/2025

---

**Instrucciones**

- La presente evaluación es individual y podrá utilizar todo el material escrito del que disponga.
- La misma consta de 12 ejercicios en total y la duración será de 50 minutos.
- Cada uno de los ejercicios es de tipo multiple-choice, en el cual **sólo una** de las opciones es correcta.
- Cada ejercicio **suma 9 puntos** si la respuesta es correcta, y **resta 2 puntos** si la respuesta es incorrecta. Si no está seguro de una respuesta, es preferible no responder.
- En ningún caso el puntaje máximo podrá superar los 100 puntos, ni ser inferior a 0 puntos.
- La evaluación se desarrollará en las hojas provistas por la cátedra a tal fin.
- Las hojas que no estén caratuladas en la forma indicada por la cátedra no serán tenidas en cuenta.
- No se permitirá intercambiar ni prestar ningún tipo de elemento entre los estudiantes.
- La buena presentación, ortografía y redacción serán tenidas en cuenta para la calificación final.

---

**Problemas propuestos**

1) Si una dirección de memoria se descompone de manera tal que corresponden 6 bits para el desplazamiento dentro del bloque y 7 bits para el índice, ¿a cuál de los siguientes cachés podría acceder?
   a) Un caché de mapeo directo de 8 KiB.
   b) Un caché de 16 KiB, asociativo por conjuntos de 2 vías.
   c) Un caché asociativo por conjuntos de 8 vías, de 64 KiB.
   d) Ninguna de las opciones anteriores.
   e) Las opciones a, b y c son correctas.

2) Indique cuál de las siguientes afirmaciones es válida para un caché de mapeo directo.
   a) Una política de reemplazo basada en el algoritmo LRU produce una menor tasa de fallos.
   b) Una política de reemplazo basada en el algoritmo random produce una menor tasa de fallos.
   c) Se puede usar cualquiera de las dos políticas de reemplazo, porque en general las tasas de fallo son prácticamente iguales dado que estos cachés suelen ser de pequeño tamaño.
   d) Ninguna de las anteriores es correcta.

3) Un programa que hace procesamiento de señales calcula el valor medio de una señal almacenada en un vector de 256.000 elementos de 16 bits. Si se tiene un caché de datos de 128 KiB, asociativo por conjuntos de 4 vías, con bloques de 4 palabras de 64 bits, ¿cuál será aproximadamente la tasa de fallos para datos?
   a) 0,5.
   b) 0,25.
   c) 0,125.
   d) 0,0625.
   e) No se puede saber.

4) Sea un caché asociativo por conjuntos de 4 vías, de 16 bytes en total, con bloques de 2 bytes, con algoritmo de reemplazo random, que está inicialmente vacío. Dada la siguiente secuencia de accesos a bytes: 0, 4, 8, indique cuál de las siguientes afirmaciones es correcta.
   a) Si el proximo byte accedido es el 12, será un acierto.
   b) Todos los accesos corresponden al mismo conjunto.
   c) La política de reemplazo LRU produciría una menor tasa de fallos.
   d) Ninguna de las anteriores.

5) Sea un caché de mapeo directo en un sistema con un tamaño de palabra de 32 bits con direccionamiento a bytes, el cual se encuentra inicialmente vacío. Se accede a la dirección de memoria 4, e inmediatamente después a la dirección 16. Luego de estos dos accesos, es posible afirmar con total seguridad que la dirección 44 se encuentra en el caché. ¿Qué tamaño tiene el bloque del caché?
   a) No es posible saberlo.

b) 16 bytes.
c) 32 bytes.
d) 64 bytes.

6) ¿Cuál de los tres tipos de fallo tenderá a reducirse si un programa se reescribe para ocupar menos memoria?
   a) Inevitables.
   b) Por Capacidad.
   c) Por Conflicto.
   d) De los tres tipos.
   e) Ninguno

7) Dado el siguiente código, escrito en lenguaje ensamblador RV32I del RISC-V, estime aproximadamente cuántas entradas tendrá la traza de memoria que genera.

```
main:   addi t4, zero, 10
        add t2, zero, zero
lazo:   lw t1, 0(t0)
        add t2, t1, t2
        addi t4, t4, -1
        addi t0, t0, 4
        lw t3, 0(t0)
        bne t4, zero, lazo
```

   a) La traza tendrá menos de 10 líneas.
   b) La traza tendrá entre 10 y 62 líneas.
   c) La traza tendrá entre 63 y 86 líneas.
   d) La traza tendrá más de 86 líneas.
   e) No es posible determinar el tamaño de la traza.

8) Suponga un caché de mapeo directo de 2048 bloques de 64 bytes cada uno. La memoria principal es de $2^{30}$ bytes, con direccionamiento a byte. ¿Cuántas direcciones se mapean a un mismo bloque del caché?
   a) 32.
   b) 2048.
   c) 4096.
   d) 8192.
   e) Ninguna de las anteriores.

9) En un caché Totalmente Asociativo. ¿Cuál es la mayor fuente de fallos?
   a) Fallos por conflicto.
   b) Fallos por capacidad.
   c) Fallos por invalidez.
   d) Son correctas a y b.

10) ¿Cuál de las siguientes afirmaciones es falsa respecto a un caché asociativo puro?
   a) Todos los bloques pueden almacenar cualquier dirección
   b) No tiene índice
   c) Puede tener más fallos por conflicto que el mapeo directo
   d) Requiere política de reemplazo

11) ¿Cuál de las siguientes técnicas reduce los fallos inevitables?
   a) Aumentar el tamaño del bloque.
   b) Aumentar el tamaño del caché.
   c) Desenrollado de lazos.
   d) Todas las anteriores.
   e) Ninguna de las anteriores.

12) En el acceso a caché con política LRU (Least Recently Used), ¿cuál es el principal objetivo?
   a) Reemplazar el bloque más antiguo en la memoria
   b) Reemplazar el bloque con menor prioridad
   c) Reemplazar el bloque menos usado recientemente
   d) Reemplazar el bloque más grande
   e) Ninguna de las anteriores.

**Soluciones propuestas**

1) La respuesta correcta es la *e*.
2) La respuesta correcta es la *d*.
3) La respuesta correcta es la *d*.
4) La respuesta correcta es la *b*.
5) La respuesta correcta es la *d*.
6) La respuesta correcta es la *a*.
7) La respuesta correcta es la *c*.
8) La respuesta correcta es la *d*.
9) La respuesta correcta es la *b*.
10) La respuesta correcta es la *c*.
11) La respuesta correcta es la *a*.
12) La respuesta correcta es la *c*.